

KR Laid-Open No. 1999-018635

METHOD FOR FABRICATING METAL-OXIDE SEMICONDUCTOR (MOS)
TRANSISTOR HAVING LIGHTLY DOPED DRAIN (LDD) STRUCTURE

The present invention relates to a method for fabricating a metal-oxide semiconductor (MOS) transistor having a lightly doped drain (LDD) structure. A conventional method for fabricating a MOS transistor having a LDD structure provides a problem in increasing a fabricating cost because of a complication of processes. To solve the problem that the conventional method provides, the present invention including the steps of: sequentially depositing a gate oxide layer (2), a polycrystalline silicon layer (3) and a passivation layer (4) on a substrate (1); forming a gate pattern by depositing a photoresist on the passivation layer (4) and performing a developing process to the photoresist, thereby forming a gate etching the passivation layer (4), the polycrystalline silicon layer (3) and the gate oxide layer (2); forming a source/drain (5) with a low concentration by ion-implanting impurities with use of the passivation layer (4) as an ion-implantation mask to the substrate (1) in a low concentration; forming a source/drain (8) with a high concentration on the substrate (1) by depositing a buffer oxide layer (10) on the source/drain (5) with the low concentration and the passivation layer (4), and ion-implanting impurities in a high concentration with use of the buffer oxide layer (10) as an ion-implantation buffer; etching the buffer oxide layer (10); and depositing a passivation layer (9) on the source drain (8) with the high concentration, the source/drain (5) with the low concentration and the passivation layer (4) forms a source/drain with a high concentration by using a buffer oxide layer. Thus, in accordance with the present invention, a passivation layer is deposited and a dry etching process is not performed, thereby decreasing a complication of processes and a

fabricating cost.

(11) 공개번호 특1999-018635
(43) 공개일자 1999년03월15일

게이트산화막 하부 기판에 채널이 형성되어 소스에서 드레인으로, 드레인에서 소스로 전하가 이동할 수 있게 되어, 스위칭 소자 또는 증폭용 소자로 사용된다.

이러한, 모스 트랜지스터의 소스와 드레인의 도핑농도는 그 농도가 높을 수록 전하의 이동이 많고, 금속 배선과의 접촉저항이 작은 장점이 있게 되지만, 열전하효과 등의 단점이 있어 이를 보완하기 위해 측벽을 사용하여 채널근처는 불순물을 저농도로 주입하고, 금속배선과의 접촉부분은 불순물을 고농도로 주입하는 엡디구조가 사용되고 있으며, 이와 같은 종래 엡디구조 모스 트랜지스터 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1은 종래 엡디구조 모스 트랜지스터의 제조공정 수순단면도로써, 이에 도시한 바와 같이, 기판(1)의 상부에 게이트산화막(2)과, 다결정실리콘(3), 보호층(4)을 순차적으로 증착하는 단계(도1a)와, 상기 보호층(4)의 상부에 포토레지스트(도면 미도시)를 도포 및 노광하여 게이트 패턴을 형성하고, 상기 보호층(4), 다결정실리콘(3), 게이트산화막(2)을 식각하여 게이트를 형성하는 단계(도1b)와, 상기 게이트의 양측면 기판(1)하부에 불순물을 저농도로 주입하여 저농도 소스/드레인(5)을 형성하는 단계(도1c)와, 상기 보호층(4)과 저농도 소스/드레인(5)의 상부에 보호층(6)을 증착하는 단계(도1d)와, 상기 보호층(6)을 건식식각하여 게이트의 양측면에 측벽(7)을 형성하는 단계(도1e)와, 상기 측벽(7)과 보호층(4)을 이온주입 마스크로 하여 불순물 이온을 고농도로 주입하여 기판(1)에 고농도 소스/드레인(8)을 형성하는 단계(도1f)와, 상기 고농도 소스/드레인(8), 측벽(7), 보호층(4)의 상부에 보호층(9)을 증착하는 단계(도1g)로 이루어진다.

이하, 상기와 같은 종래 엡디구조 모스 트랜지스터 제조방법을 좀더 상세히 설명한다.

먼저, 도1a에 도시한 바와 같이 기판(1)의 상부에 게이트산화막(2)과, 다결정실리콘(3), 보호층(4)을 순차적으로 증착한다. 이때, 다결정실리콘(3)은 게이트 전극으로 사용되며, 보호층(4)은 이온주입으로부터 상기 다결정실리콘(3)을 보호하고, 측벽의 형성시 측벽의 두께를 결정하게 되며,



3600: 의 두께로 증착 한다.

그 다음, 도1b에 도시한 바와 같이 상기 보호층(4)의 상부에 포토레지스트(도면 미도시)를 사용하는 사진식각공정으로 게이트 패턴을 형성하고, 상기 보호층(4), 다결정실리콘(3), 게이트산화막(2)을 식각하여 게이트를 형성한다.

그 다음, 도1c에 도시한 바와 같이 상기 게이트의 양측면 기판(1)하부에 불순물을 저농도로 주입하여 저농도 소스/드레인(5)을 형성한다. 이때 주입하는 불순물이온은 모스 트랜지스터의 형에 따라 그 타입을 결정하여 주입한다.

그 다음, 도1d에 도시한 바와 같이 상기 보호층(4)과 저농도 소스/드레인(5)의 상부에 보호층(6)을 증착한다.

그 다음, 도1e에 도시한 바와 같이 상기 보호층(6)을 건식식각하여 게이트의 양측면에 측벽(7)을 형성한다.

그 다음, 도1f에 도시한 바와 같이 상기 측벽(7)과 보호층(4)을 이온주입 마스크로 하여 불순물 이온을 고농도로 주입하여 기판(1)에 고농도 소스/드레인(8)을 형성한다. 이때 역시 주입되는 불순물은 상기 저농도 소스/드레인(5)의 형성시 주입한 불순물과 동일한 타입을 주입한다.

그 다음, 도1g에 도시한 바와 같이 상기 고농도 소스/드레인(8), 측벽(7), 보호층(4)의 상부에 보호층(9)을 증착하여 엡디구조 모스 트랜지스터의 제조를 완료한다.

본 발명이 이루고자 하는 기술적 과제

그러나, 상기한 바와 같은 종래 엡디구조 모스 트랜지스터 제조방법은 공정단계가 복잡하여 제조비용이 증가하는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 공정단계를 감소시켜 제조비용을 절감하는 엡디구조 모스 트랜지스터 제조방법을 제공함에 그 목적이 있다.

본 발명의 구성 및 작용

상기와 같은 목적은 기판의 상부에 게이트산화막, 다결정실리콘 및 제 1보호층을 순차적으로 증착하는 단계와, 사진식각공정으로 상기 제 1보호층, 다결정실리콘, 게이트산화막을 선택적으로 식각하여 게이트를 형성하는 단계와, 상기 제 1보호층을 이온주입 마스크로 하여 불순물이온을 저농도로 게이트의 양측면 기판하부에 주입하여 저농도 소스/드레인을 형성하는 단계와, 상기 저농도 소스/드레인(5)과 제 1보호층의 상부에 버퍼 산화막을 증착하고, 그 버퍼 산화막을 이온주입 버퍼로 사용하여 불순물 이온을 고농도로 주입하여 기판에 고농도 소스/드레인을 형성하는 단계와, 상기 버퍼 산화막을 식각하고, 다시 고농도 및 저농도 소스/드레인과, 제 1보호층의 상부에 제 2보호층을 증착하는 단계로 이루어져, 측벽의 형성단계 없이 고농도 소스/드레인을 형성함으로써 달성되는 것으로, 이와 같은 본 발명을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도2는 본 발명 엡디구조 모스 트랜지스터의 제조공정 수순단면도로써, 이에 도시한 바와 같이 기판(1)의 상부에 게이트산화막(2), 다결정실리콘(3), 보호층(4)을 순차적으로 증착하는 단계(도2a)와, 상기 보호층(4)의 상부에 포토레지스트(도면 미도시)를 도포 및 노광하여 게이트 패턴을 형성한 후, 보호층(4), 다결정실리콘(3), 게이트산화막(2)을 식각하여 게이트를 형성하는 단계(도2b)와, 상기 보호층(4)을 이온주입 마스크로 하여 불순물 이온을 저농도로 기판(1)에 주입하여 저농도 소스/드레인(5)을 형성하는 단계(도2c)와, 상기 저농도 소스/드레인(5)과 보호층(4)의 상부에 버퍼 산화막(10)을 증착하고, 그 버퍼 산화막(10)을 이온주입 버퍼로 사용하여 불순물 이온을 고농도로 주입하여 기판(1)에 고농도 소스/드레인(8)

을 형성하는 단계(도2d)와, 상기 버퍼 산화막(10)을 식각하고, 다시 고농도 및 저농도 소스/드레인(8),(5)과, 보호층(4)의 상부에 보호층(9)을 증착하는 단계(도2e)로 이루어진다.

이하, 상기와 같이 구성된 본 발명을 좀 더 상세히 설명한다.

먼저, 도2a에 도시한 바와 같이 기판(1)의 상부에 게이트산화막(2), 다결정실리콘(3), 보호층(4)을 순차적으로 증착한다. 이때, 다결정실리콘(3)은 게이트 전극으로 사용되며, 보호층(4)은 이온주입의 마스크로 사용된다.

그 다음, 도2a에 도시한 바와 같이 상기 보호층(4)의 상부에 포토레지스트(도면 미도시)를 도포 및 노광하는 사진식각공정으로 게이트 패턴을 형성한 후, 보호층(4), 다결정실리콘(3), 게이트산화막(2)을 순차적으로 식각하여 게이트를 형성한다.

그 다음, 도2c에 도시한 바와 같이 상기 보호층(4)을 이온주입 마스크로 하여 불순물이온을 저농도로 게이트의 양측면 기판(1) 하부에 주입하여 저농도 소스/드레인(5)을 형성한다.

그 다음, 도2d에 도시한 바와 같이 상기 저농도 소스/드레인(5)과 보호층(4)의 상부에 버퍼 산화막(10)을

약 1700 정도 증착하고, 그 버퍼 산화막(10)을 이온주입 버퍼로 사용하여 불순물 이온을 고농도로 주입하여 기판(1)에 고농도 소스/드레인(8)을 형성한다. 이때 게이트의 측면에 증착된 버퍼 산화막(10)은 그 두께가 두꺼워 불순물이온이 저농도 소스/드레인(5)에 주입되는 것을 방지하며, 그 이외의 버퍼 산화막(10)영역은 두께가 얇아 불순물이온이 저농도 소스/드레인(5)에 주입되어 그 영역을 고농도로 변환시켜 고농도 소스/드레인(8)을 형성하게 된다.

그 다음, 도2e에 도시한 바와 같이 상기 버퍼 산화막(10)을 모두 식각하고, 다시 고농도 및 저농도 소스/드레인(8),(5)과, 보호층(4)의 상부에 보호층(9)을 증착하여 엘디디구조 모스 트랜지스터를 제조하게 된다.

·발명의 효과

상기한 바와 같이 본 발명은 버퍼 산화막을 이용하여 고농도 소스/드레인을 형성함으로써, 측벽형성을 위한 보호층의 증착과 건식식각단계를 사용하지 않게 되어 공정단계가 감소하고, 이에 따라 제조비용을 절감하는 효과가 있다.

(5). 청구의 범위

·청구항 1

기판의 상부에 게이트산화막, 다결정실리콘 및 제 1보호층을 순차적으로 증착하는 단계와, 사진식각공정으로 상기 제 1보호층, 다결정실리콘, 게이트산화막을 선택적으로 식각하여 게이트를 형성하는 단계와, 상기 제 1보호층을 이온주입 마스크로 하여 불순물이온을 저농도로 게이트의 양측면 기판하부에 주입하여 저농도 소스/드레인을 형성하는 단계와, 상기 저농도 소스/드레인과 제 1보호층의 상부에 버퍼 산화막을 증착하고, 그 버퍼 산화막을 이온주입 버퍼로 사용하여 불순물 이온을 고농도로 주입하여 기판에 고농도 소스/드레인을 형성하는 단계와, 상기 버퍼 산화막을 식각하고, 다시 고농도 및 저농도 소스/드레인과 제 1보호층의 상부에 제 2보호층을 증착하는 단계로 이루어진 것을 특징으로 하는 엘디디구조 모스 트랜지스터 제조방법.

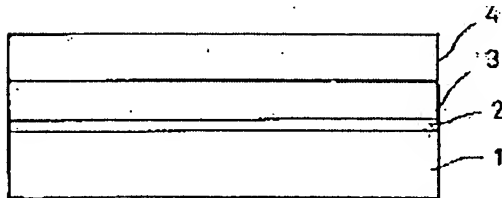
·청구항 2

제 1항에 있어서, 상기 버퍼 산화막은 1700로 하는 엘디디구조 모스 트랜지스터 제조방법.

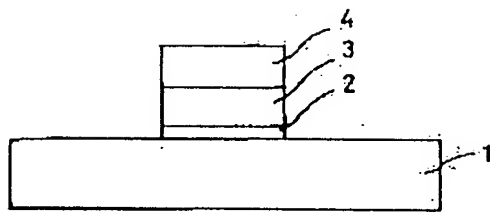
의 두께로 증착하는 것을 특징으로

·도면

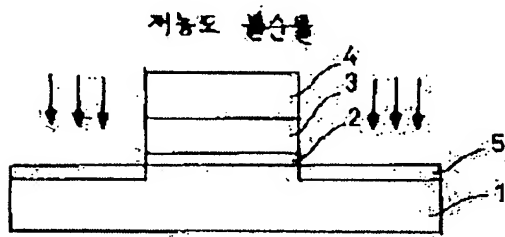
도면 1a



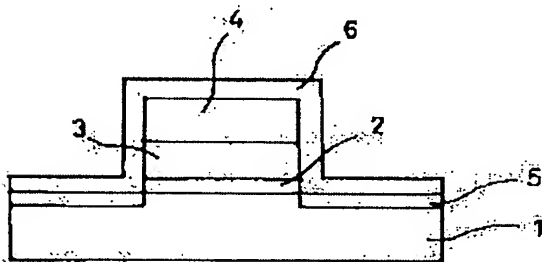
도면 1b



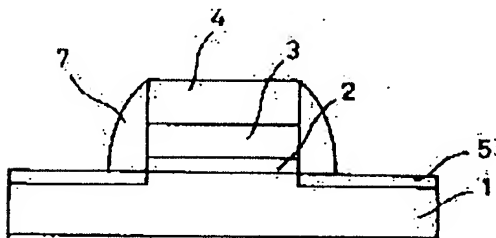
도면 1c



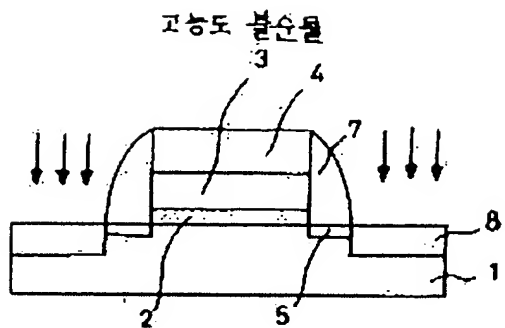
도면 1d



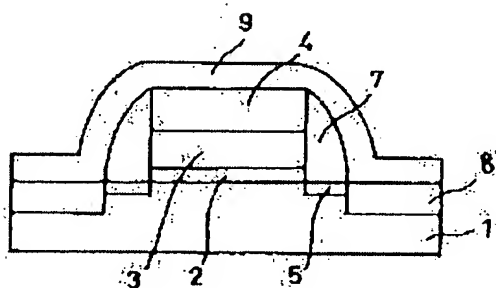
도면 1e



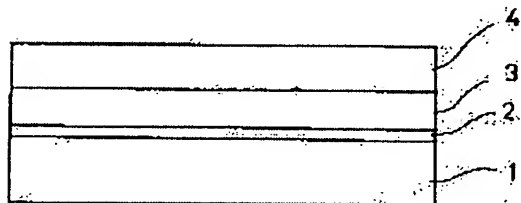
도면 11



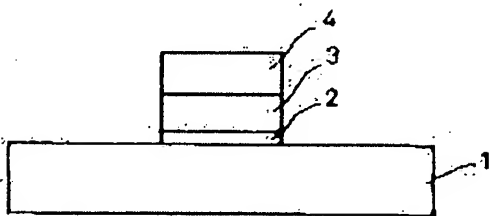
도면 10



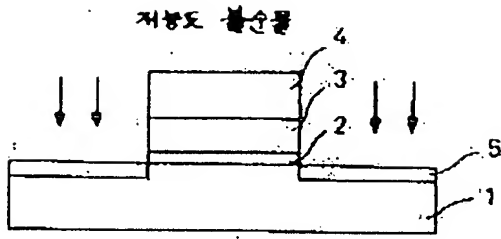
도면 9



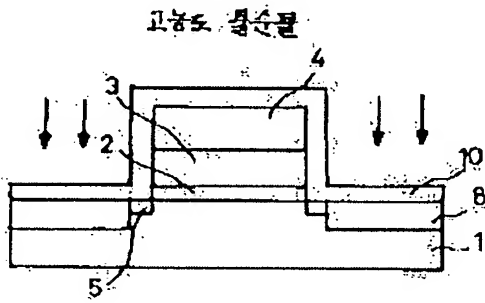
도면 8



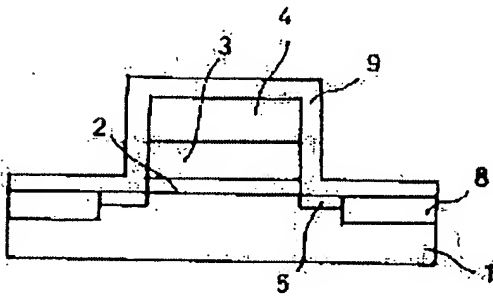
도면20



도면21



도면22



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.